Sprawozdanie nr 4

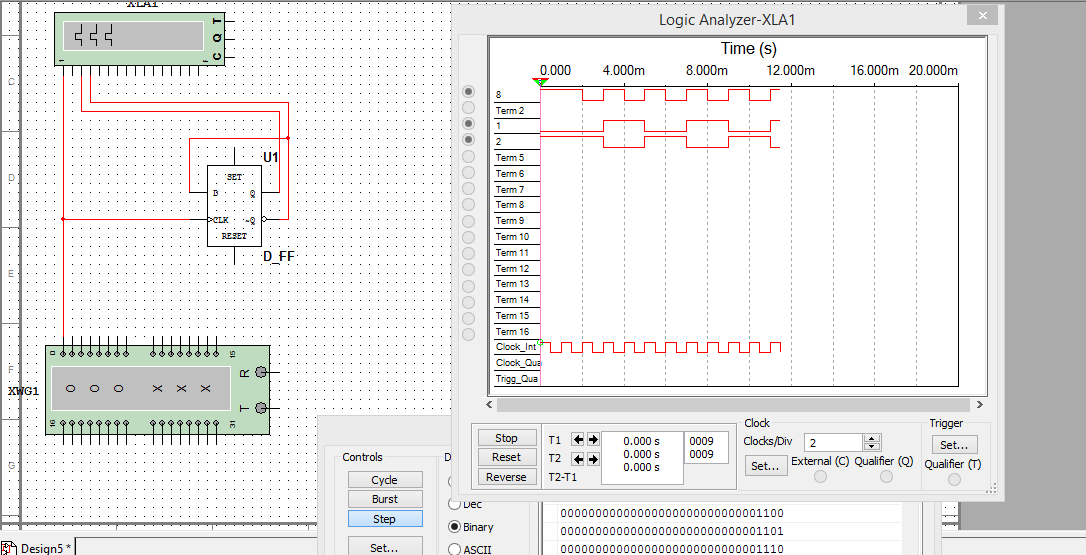
Daniel Kłódka

Zadanie 1.

 Zrealizować i przetestować dwójkę liczącą w oparciu o przerzutnik "D",a następnie w oparciu przerzutnik "JK".

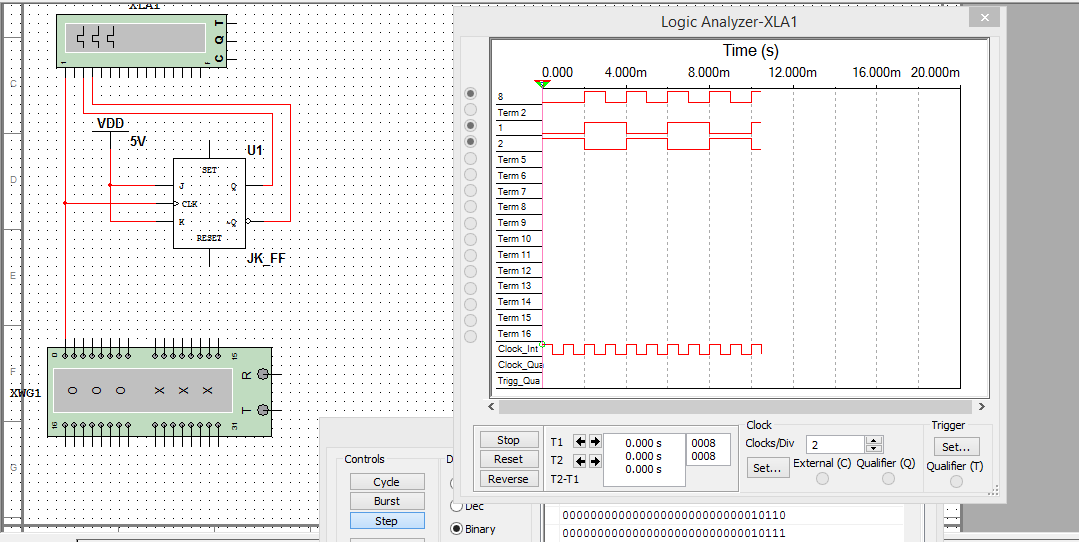
D

Dwójka licząca czyli układ który podzieli nam częstotliwość sygnału wejściowego na dwa. Układ powinien się przełączać za każdym razem gdy na wejściu będzie sygnał synchronizujący więc wejście D możemy uzależnić od naszych wyjść dlatego też wejście D łączymy z wyjściem zanegowanym Q otrzymując żadany układ.



JK

W tym przypadku żądamy identycznego zachowania. Wykorzystując fakt, iż dwa stany wysokie na wejściu przekaźnika JK powodują jego przełączenie na stan przeciwny na wyjściu jesteśmy w stanie w prosty sposób uzykać żądany układ.

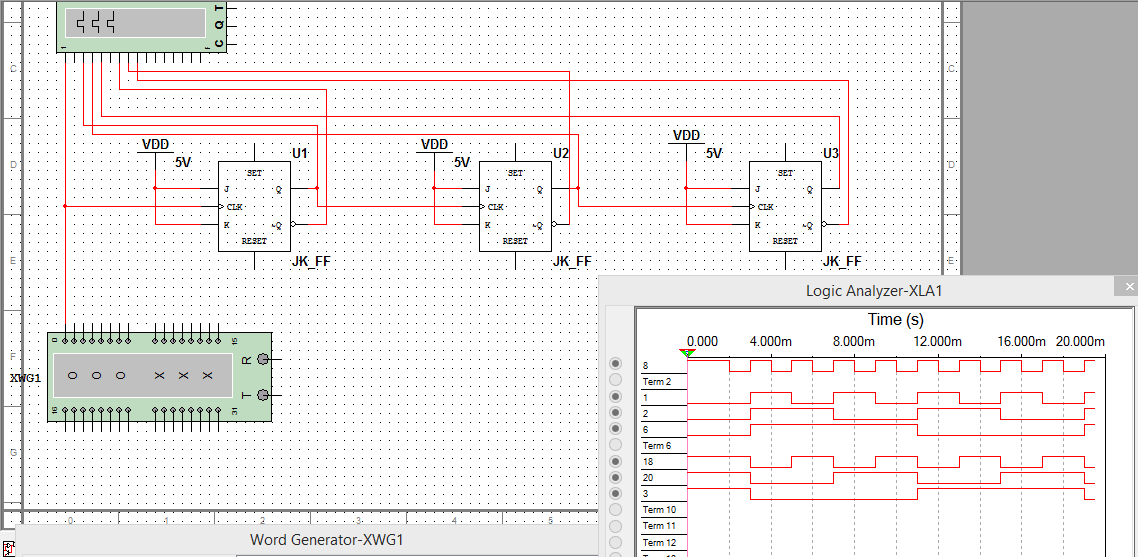


Zadanie 2.

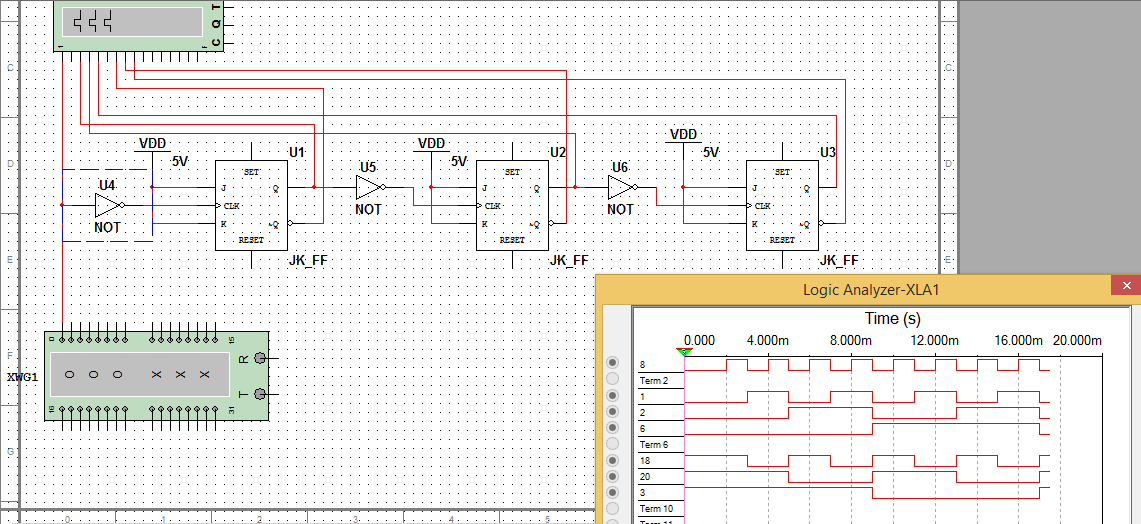
W oparciu o dowolnie wybrany typ dwójki liczącej, zbudować czterobitowy licznik asynchroniczny. Przetestować jego działanie w programie Multisim i dokładnie opisać. Zbadać jak zachowa się licznik gdy zamienimy wykorzystane przerzutniki na identycznego typu, ale reagujące na przeciwne zbocze sygnału zegarowego.

Biorąc pod uwagę, iż układ ma być układem asynchronicznym (połączenie kaskadowe) to zadanie jest uproszczone ponieważ układ taki jest dużo prostszy niż układ synchroniczny.

Realizacja licznika nie jest trudnym zadaniem, jak zauważyliśmy w poprzednim zadaniu dwójka licząca zmniejsza częstotliwość sygnału dwukrotnie. Więc jeśli tą operację powtórzymy dla każdego kolejnego przekaźnika otrzymamy kolejno sygnał o cztero i ośmio krotnie pomniejszonej częstotliwości (względem bazowej) a z kombinacji tych sygnałów będziemy w stanie otrzymać 8 różnych wartości. Schemat połączeń znajduje się na obrazku poniżej, analiza otrzymanych wykresów pozwala nam stwierdzić, że nasze założenia co do działania układu były prawidłowe i układ działa poprawnie.



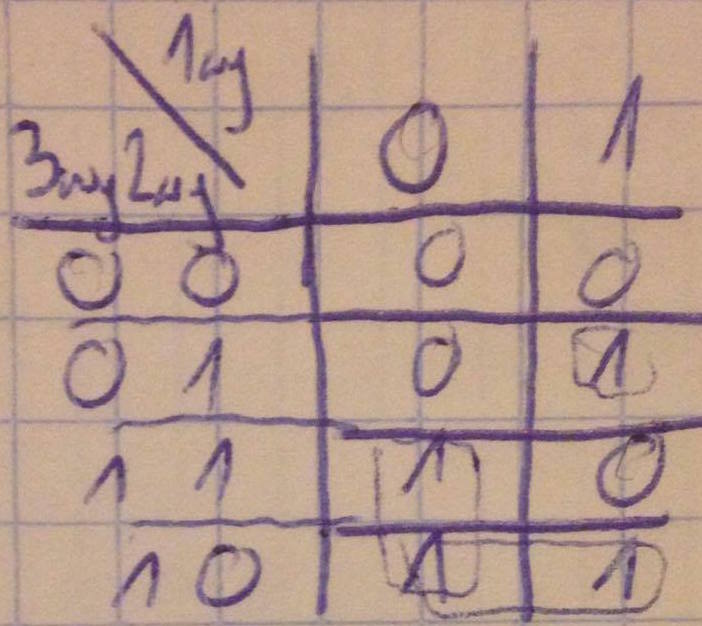
Z powodu braku przekaźników JK z wejściem zegarowym reagującym na zbocze opadające, wykorzystane zostały do tego bramki NOT. Spodziewamy się, iż układ będzie działał na odwrót, więc otrzymamy w tym przypadku licznik zliczający w górę a nie w dół jak to miało miejsce poprzednio ponieważ każdy cykl będzie teraz przesunięty o połowę długości względem cyklu swojego sygnału zegarowego. Schemat połączeń na rysunku poniżej którego analiza pozwala nam stwierdzić, iż układ działa tak jak planowaliśmy.

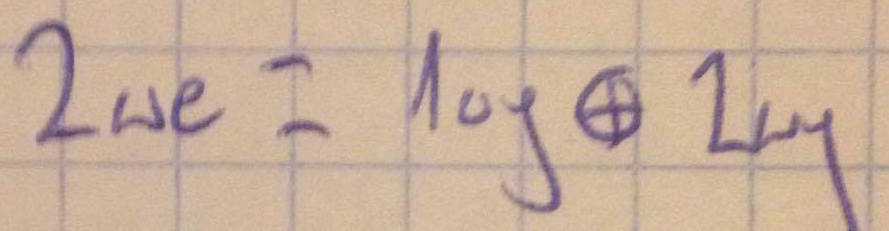


Zadanie 3.

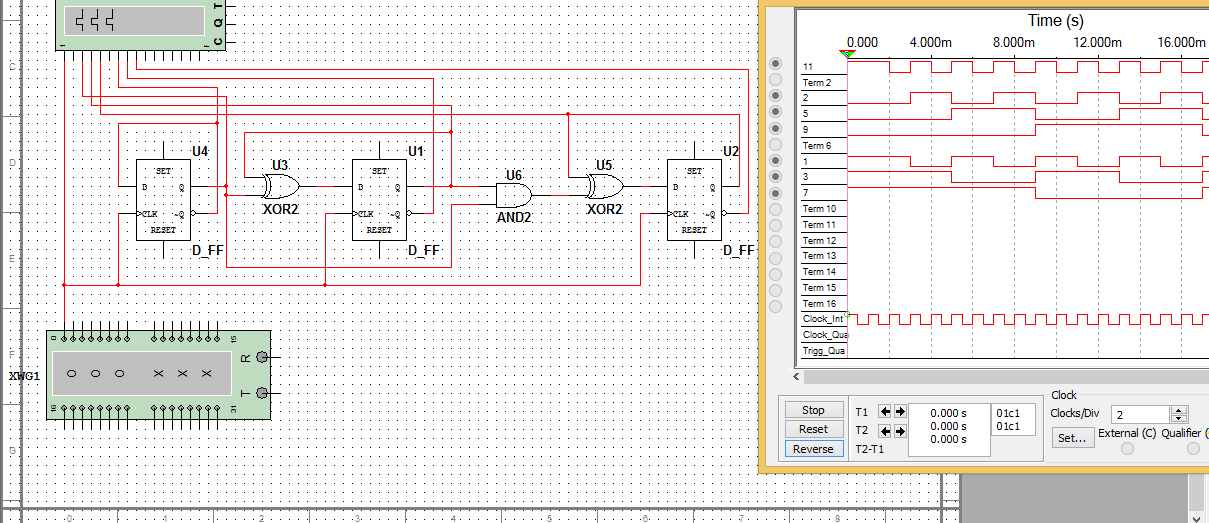
Bazując na przerzutnikach "D", zbudować synchroniczny licznik modulo "8". Opisać kroki projektowania licznika.

 Budowa przerzutnika synchronicznego jest zadaniem trudniejszym. Trzeba tutaj zastanowić się w jak sposób każdy z przekaźników powinien być sterowany. Do zbudowania licznika modulo 8 wystarczą nam 3 przekaźniki ponieważ będziemy musieli wyświetlać 8 wartości 0-7. Z pierwszym z nich nie ma problemu ponieważ jest to zwykły układ dwójki liczącej. Natomiast z drugim przekaźnikiem nie jest już tak łatwo. Wejście D powinno zostać wysterowane wtedy gdy pierwszy przekaźnik będzie ustawiony na jeden (reprezentacji liczby 1) a na wyjściu drugiego panowało zero lub gdy na wyjściu pierwszego przekaźnika będzie panował stan niski a na wyjściu drugiego stan wysoki(reprezentacja liczby 2). W innych przypadkach wejście powinno być wysterowane na stan niski. Nasza analiza pozwala stwierdzić, iż należy zastosować bramkę NOR sygnały wyjściowego pierwszego przekaźnika oraz sygnały wyjściowego drugiego i w ten sposób otrzymamy reprezentację 2 bitu licznika. Podobnej analizie musimy poddać trzeci przekaźnik. Aby wejście trzeciego przekaźnika zostało wysterowane musi zostać spełniony taki warunek, iż przekaźniki 1 i 2 muszą na swoich wyjściach mieć stan wysoki a wyjście trzeciego przekaźnika jest w stanie niskim (reprezentacja liczby 3). Następnie wejście powinno być cały czas wysterowane do czasu aż na każdym z wyjść przekaźników będziemy mieli stan wysoki. Realizacje takiej zależności możemy uzyskać poprzez połączenie bramką XOR sygnału wyjściowego przekaźnika trzeciego z iloczynem sygnałów wyjściowych 2 poprzednich przekaźników. Schemat połączeń wraz z wykresami znajduje się poniżej i pozwala stwierdzić, iż układ został zaprojektowany poprawnie.





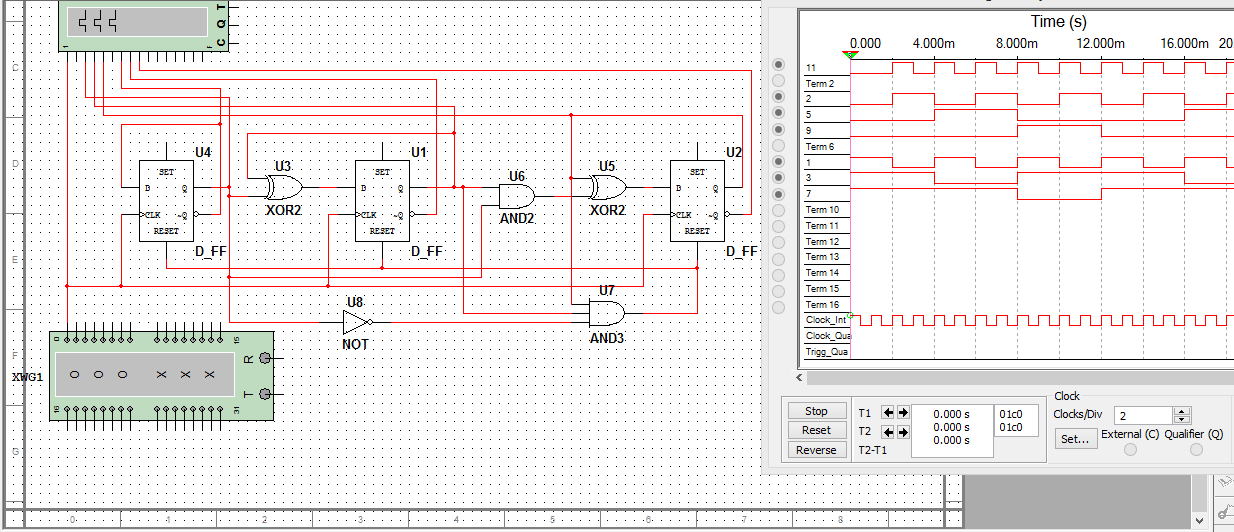
MAC HD:Users:daniel:Downloads:14877298_1222590041131529_2102170739_n.jpg



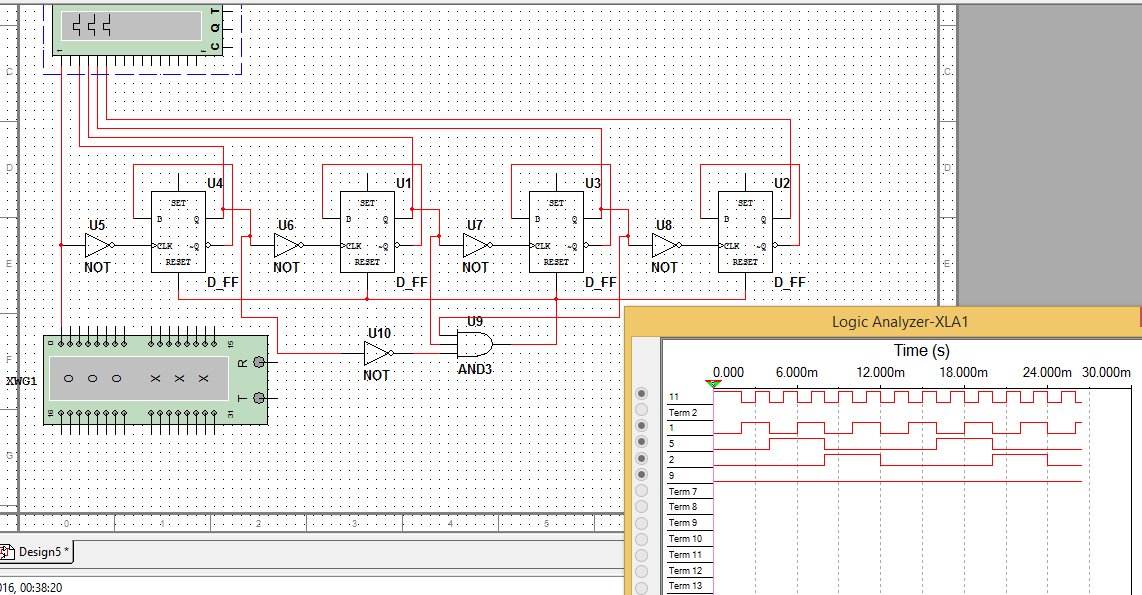
Zadanie 4.

Bazując na dowolnym liczniku czterobitowym zliczającym wprzód, zrealizować licznik modulo 6.

W zadaniu podano aby wykonać zadanie na liczniku czterobitowym. Z powodu, że przeróbka poprzedniego przykładu aby uzyskać licznik modulo 6 jest prosta to zamieszczam również takie rozwiązanie. Wystarczy w tym przypadku zresetować licznik gdy wartość na wyjściu będzie równa 6 więc jest to iloczyn zanegowanego wyjścia pierwszego przekaźnika z wyjściem przekaźnika drugiego i trzeciego. Schemat z wykresami analizatora logicznego na poniższym rysunku.



Realizacja tego zadania na liczniku 4 bitowym nie ma najmniejszego sensu ponieważ czwarty przekaźnik nie jest do w ogóle wykorzystywany.

Układ przedstawiony poniżej to zwykły układ licznika asynchoronicznego 4 bitowego zreazliowanego na przekaźnikach D. Z powodu braku ustawienia wejścia zegarowego na synchronizację zboczem opadającym (aby uzyskać zliczanie w górę) wykorzystane zostały bramki NOT. Realizacja licznika modulo 6 jest podobna jak na rysunku powyżej. Gdy licznik osiąga wartość 6 (pierwszy przekaźnik ma na wyjściu stan niski a drugi I trzeci posiadają stan wysoki) to licznik zostaje zresetowany. Realizowane jest to identycznie jak powyżej, zwykłą bramką AND. Poniżej przedstawiono schemat połączeń I wykres z analiatora logicznego które podtwierdzają słuszność naszego rozumowania.